

Document No.: W&B-INF-1859

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: August 29, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Johann Pfeiffer et al.  
Appl. No. : 10/623,831  
Filed : July 21, 2003  
Title : Circuit and Method for Writing and Reading Data from a  
Dynamic Memory Circuit

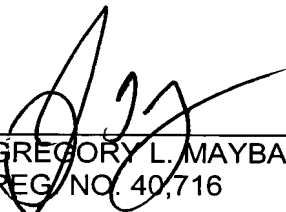
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 32 962.1 filed July 19, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: August 29, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 32 962.1

**Anmeldetag:** 19. Juli 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Schaltung und Verfahren zum Schreiben und Auslesen von Daten aus einer dynamischen Speicherschaltung

**IPC:** G 11 C 8/14

☐ angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. Juni 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag



Hoiß

## Beschreibung

Schaltung und Verfahren zum Schreiben und Auslesen von Daten aus einer dynamischen Speicherschaltung

5

Die Erfindung betrifft ein Verfahren zum Schreiben und Auslesen von Daten aus einer dynamischen Speicherschaltung. Die Erfindung betrifft weiterhin eine Schaltung zum Beschreiben und Auslesen von Daten.

10

Eine dynamische Speicherschaltung, wie z.B. ein DRAM, weist Wortleitungen und Bitleitungen auf, an deren Kreuzungspunkten sich Speicherzellen befinden. Die Speicherzellen werden adressiert, indem eine Wortleitung, an der sich die Speicherzelle befindet, aktiviert wird und durch Auswahl der entsprechenden Bitleitung das Datum aus der Speicherzelle ausgelesen wird.

15

20

Bei der Aktivierung einer Wortleitung eines DRAMs werden intern zur Zeit üblicherweise zwei physikalische Wortleitungen aktiviert. So hat beispielsweise ein 256M Baustein 8.192 Wortleitungsadressen, d.h. der Adreßumfang ist mit 13 bit festgelegt. Physikalisch hat der 256M Baustein jedoch 16.384 Wortleitungen, wobei redundante Wortleitungen nicht berücksichtigt sind. Eine adressierbare Wortleitung umfasst daher zwei Wortleitungsabschnitte, die über die gleiche Adresse adressierbar sind und die jeweils mit einem eigenen Wortleitungstreiber angesteuert werden können. Dies hat den Vorteil, daß die Länge der Wortleitung im wesentlichen halbiert werden kann, so daß die Kapazität der Wortleitung auf die Kapazitäten eines Wortleitungsabschnittes reduziert wird. Auf diese Weise können Wortleitungen schneller umgeladen, d.h. schneller aktiviert bzw. deaktiviert werden, so daß der Zugriff auf eine Speicherzelle erheblich beschleunigt wird.

25

30

35

Je nach Konfiguration des Speicherbausteins werden pro Taktzyklus gleichzeitig 16, 8 oder 4 Datenbits ausgelesen. Bei

einem Double-Data-Rate-Baustein werden diese Anzahl von Bits mit jeder steigenden und jeder fallenden Flanke des Taktsignals ausgegeben. Um die Daten zur Verfügung zu stellen werden die Ausleseverstärker mit Spaltenauswahlleitungen aktiviert.

5 Ein x16 organisierter Speicherbaustein gibt mit einer steigenden Flanke und der fallenden Flanke des Taktsignals jeweils 16 Bit aus, so daß bei einem Taktzyklus 32 Bit ausgegeben werden müssen. Ein x16 organisierter Speicherbaustein aktiviert für einen Schreibe- und Lesevorgang daher vier Spaltenauswahlleitungen, wobei bei einem Zugriff innerhalb eines  
10 Taktzyklus 32 Bit Daten geschrieben oder gelesen werden können. Bei einem x8 organisierten Speicherbaustein werden daher nur zwei Spaltenauswahlleitungen aktiviert, so daß 16 Bit Daten pro Zugriff, d.h. pro Taktzyklus, zur Verfügung gestellt  
15 werden, die zu 8 Bit mit der steigenden Flanke und zu 8 Bit mit der fallenden Flanke übernommen oder ausgegeben werden können.

Bei einem x 4 organisierten Speicherbaustein werden jedoch  
20 ebenfalls zwei Speicherauswahlleitungen zum Schreiben oder Lesen aktiviert, so daß pro Taktzyklus 16 Bit Daten verarbeitet werden können. Da jedoch nur 4 Bit gleichzeitig mit jeder steigenden und mit jeder fallenden Flanke übernommen bzw. ausgelesen werden können, kann nur ein Teil des so aktivierten Speicherbereichs von 16 Bit, nämlich nur 8 Bit davon,  
5 verwendet werden.

Das Aktivieren einer Wortleitung führt zu einem Leistungsverbrauch, der durch Umladen der Wortleitung aber auch aufgrund des dadurch aktivierten Ausleseverstärkers hervorgerufen wird. Dadurch ist nachteilig, daß der Leistungsverbrauch bei einem x4 organisierten Baustein ebenso hoch ist wie bei  
30 einem x8 organisierten Baustein, da selbst wenn nur 8 Bit Daten pro Taktzyklus ausgelesen werden, jeweils 16 Bit Daten  
35 bereitgestellt werden müssen.

Die Leistungsaufnahme entsteht dadurch, daß beim Aktivieren der Wortleitung die Ladung von den daran befindlichen Spei-

cherzellen auf eine der Bitleitungen fließt und durch die Ausleseverstärker die Potentiale der Bitleitung oder einer benachbarten Bitleitung bezüglich ihres Potentials auseinandergezogen werden, d.h. das Potential einer der Bitleitungen wird gegen ein Low-Potential, das Potential der jeweils anderen Bitleitung gegen ein High-Potential gezogen. Ferner wird Leistung verbraucht, um die Wortleitungsadresse zu dekodieren.

10 Es ist Aufgabe der vorliegenden Erfindung eine Schaltung und ein Verfahren zur Verfügung zu stellen, wodurch der Energieverbrauch eines dynamischen Speicherbausteins reduziert werden kann.

15 Diese Aufgabe wird durch das Verfahren nach Anspruch 1 und die Schaltung nach Anspruch 5 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

20

Erfindungsgemäß ist ein Verfahren zum Schreiben und Auslesen von Daten aus einer dynamischen Speicherschaltung vorgesehen. Die Speicherschaltung weist über Wortleitungen und Bitleitungen adressierbare Speicherzellen auf. Eine Wortleitung wird dabei bei einem Adressieren eines Speicherbereichs mit einer bestimmten Adresse aktiviert. Die Wortleitung weist mehrere voneinander getrennte Wortleitungsabschnitte auf. Über die Bitleitungen sind bei einer Adressierung mit der bestimmten Adresse parallel eine Anzahl von Daten in durch die Adresse adressierte Speicherzellen schreibbar oder aus durch die Adresse adressierte Speicherzellen auslesbar. Es ist vorgesehen, daß nur ein Teil der Wortleitungsabschnitte bei einem Adressieren mit einer bestimmten Adresse aktiviert werden, um nur einen Teil der durch die Wortleitung adressierten Speicherzellen parallel zu beschreiben oder parallel auszulesen.

30

35

Üblicherweise sind die Wortleitungen in mehrere, vorzugsweise zwei Wortleitungsabschnitte unterteilt und jeweils mit einem eigenen Wortleitungstreiber versehen. Dabei werden die Wortleitungstreiber jeweils bei einem Adressieren der Wortleitung gemeinsam angesteuert. Beim Schreiben über die gleiche Adressierung werden die Ausleseverstärker über die Spaltenauswahlleitungen aktiviert. Je nach Organisation des Speicherbausteins, d.h. die gleichzeitig auszulesenden Datenbits, werden über die Spaltenauswahlleitungen eine bestimmte Anzahl von Speicherzellen zum Beschreiben oder zum Auslesen adressiert. Es kann jedoch vorkommen, insbesondere bei einem x4 organisierten Speicherbaustein, daß mehr Speicherzellen adressiert werden als in einem Taktzyklus beschreiben bzw. ausgelesen werden können.

15 Beim Aktivieren einer Wortleitung zum Adressieren einer Speicherzelle fließen die Ladungen der an der Wortleitung befindlichen Speicherzellen auf die entsprechenden Bitleitungen und müssen durch die Ausleseverstärker verstärkt werden, um die abgeflossene Ladung einerseits in die Speicherzellen wieder zurückzuschreiben und andererseits je nach zum Auslesen ausgewählten Bitleitungen als lesbare Information auf die Datenleitungen benötigt elektrische Energie und bewirkt dadurch einen erheblichen Anteil an Stromverbrauch der Speicherschaltung.

25 Da die Wortleitungen üblicherweise in zwei oder mehr Wortleitungsabschnitte unterteilt sind, die voneinander physikalisch getrennt und jeweils durch einen Wortleitungstreiber angesteuert werden, ist es erfindungsgemäss vorgesehen, nicht alle der Wortleitungsabschnitte beim Adressieren von Speicherzellen zu aktivieren, um somit die zum Ladungstrennen notwendige Energie einzusparen. Dies ist insbesondere dann sinnvoll, wenn nur ein Teil der Speicherzellen, die nur über einen der Wortleitungsabschnitte adressierbar sind, in einem Taktzyklus beschrieben oder ausgelesen werden sollen.

Auf diese Weise läßt sich vermeiden, daß die Ausleseverstärker an einem Teil der Bitleitungen die von den Speicherzellen auf die Bitleitungen fließenden Ladungen verstärken müssen, da die Wortleitungsabschnitte, an denen Speicherzellen liegen, die nicht adressiert werden sollen, nicht aktiviert werden. Dadurch wird vorteilhaft erreicht, daß der Stromverbrauch reduziert werden kann, der durch das Aktivieren einer Wortleitung und durch die Ladungsverstärkung auf den Bitleitungen bewirkt wird.

Es kann vorgesehen sein, daß das Aktivieren nur eines Teils der Wortleitungsabschnitte durchgeführt wird, wenn gleichzeitig nur eine zweite Anzahl von Daten, die kleiner ist als die erste Anzahl von Daten, in die durch die Adresse adressierten Speicherzellen geschrieben oder aus den durch Adresse adressierten Speicherzellen ausgelesen werden sollen.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Schaltung zum Beschreiben oder Auslesen von Daten aus einer dynamischen integrierten Speicherschaltung vorgesehen. Die Speicherschaltung weist über Wortleitungen und Bitleitungen adressierbare Speicherzellen auf. Die Wortleitung wird bei einem Adressieren mit einer bestimmten Adresse aktiviert, wobei eine Wortleitung mehrere voneinander getrennte Wortleitungsabschnitte aufweist. Über die Bitleitungen sind bei einer Adressierung mit der bestimmten Adresse parallel eine erste Anzahl von Daten in durch die Adresse adressierte Speicherzellen schreibbar oder Daten aus durch die Adresse adressierte Speicherzellen auslesbar. Es ist eine Ansteuerschaltung vorgesehen, um bei einem Adressieren mit einer bestimmten Adresse nur einen Teil der Wortleitungsabschnitte zu aktivieren, so daß nur ein Teil der mit der Wortleitung verbundenen Speicherzellen parallel beschrieben oder parallel ausgelesen werden kann.

Eine solche Schaltung hat den Vorteil, daß mit Hilfe der Ansteuerschaltung die Wortleitungsabschnitte, die üblicherweise

gemeinsam über eine bestimmte Adresse adressiert werden können, nun einzeln angesteuert werden können, wenn die Wortleitung aktiviert werden soll. Dadurch ist es erfindungsgemäß möglich, nur einen Wortleitungsabschnitt zu aktivieren, wenn  
5 Daten nur aus Speicherzellen, die sich an diesem Wortleitungsabschnitt befinden, adressiert werden sollen.

Vorzugsweise ist vorgesehen, daß die Ansteuerschaltung abhängig von einem Steuersignal eines ersten Wortleitungsabschnitts und/oder eines zweiten Wortleitungsabschnitts einer Wortleitung aktiviert wird. Dieses Steuersignal wird vorzugsweise an einem externen Anschluß der integrierten Speicherschaltung angelegt, wobei der externe Anschluß ein Steueranschluß der integrierten Speicherschaltung ist. Üblicherweise weist ein integrierter Speicherbaustein nur eine bestimmte Anzahl von Adresseingängen und Datenein- und Ausgängen auf, so daß ein zusätzlicher externer Anschluß zur Auswahl eines der Wortleitungsabschnitte nicht vorgesehen ist. Dies würde einem weiteren Adresseingang entsprechen. Erfindungsgemäß ist nun vorgesehen, daß das Steuersignal an einen Steueranschluß der integrierten Speicherschaltung angelegt wird, der zum Steuern des Schreib-Lese-Vorgangs oder ähnlichem benutzt wird. Dies hat den Vorteil, daß kein weiterer externer Anschluß der integrierten Speicherschaltung hinzugefügt werden muss sondern bereits bestehende Anschlüsse genutzt werden können.  
5

Eine bevorzugte Ausführungsform der Erfindung ist im folgenden anhand der beigefügten Zeichnung näher erläutert.

30 Fig. 1 zeigt schematisch eine integrierte Speicherschaltung mit 256Mbit Speicherkapazität. Die Speicherschaltung ist in 8.192 Wortleitungen WL organisiert. An den Wortleitungen WL befinden sich Speicherzellen (nicht gezeigt), deren Inhalte  
35 über Bitleitungen BL, ausgelesen werden können.



Eine Speicherzelle wird adressiert, indem zunächst die entsprechende Wortleitung WL die mit der zu adressierenden Speicherzelle verbunden ist, aktiviert wird. Anschließend wird der Inhalt einer Speicherzelle über die Bitleitung BL durch einen Ausleseverstärker 4 ausgelesen. Ein Datum wird in eine Speicherzelle geschrieben, indem über eine Bitleitung einer Speicherzelle eine Ladung eingeprägt wird.

Beim Aktivieren einer Wortleitung WL werden die jeweilige Speichertransistoren der daran befindlichen Speicherzellen durchgeschaltet und die Ladung der Speicherkondensatoren fließen auf die entsprechenden Bitleitungen BL. Die Ausleseverstärker 4 an den entsprechenden Bitleitungen BL verstärken den geringen Ladungsunterschied bezüglich einer benachbarten nicht mit einem Speicherkondensator verbundenen Bitleitung BL. Durch ein Spaltenauswahlsignal CSL werden diejenigen Ausleseverstärker 4 ausgewählt, von denen das Datum auf die entsprechende Datenleitung ausgegeben werden soll bzw. über die die adressierte Speicherzelle beschrieben werden soll.

Bei einem Double-Data-Rate-Speicher werden Daten mit der steigenden Flanke des Taktsignals und der fallenden Flanke des Taktsignals in den Speicherzellen oder aus den Speicherzellen übertragen. Dadurch wird die Datenübertragungsrate erhöht gegenüber konventionellen Speicherschaltungen erhöht. In einem Speicherbaustein, der Datenein-/ausgänge mit einer Datenbusbreite von 8 Bit aufweist, können somit pro Taktzyklus 16 Bit übertragen werden. Entsprechend werden bei einem Speicherbaustein, der eine Datenbusbreite von 4 Bit aufweist 8 Bit pro Taktzyklus übertragen. Sowohl bei einem Speicherbaustein mit einem 8 Bit Datenbus als auch bei einem Speicherbaustein mit einem 4 Bit Datenbus werden jedoch bei einer Adressierung zwei Spaltenauswahlleitungen aktiviert. Dies sind üblicherweise Vorgaben, die aus der Spezifikation der Speicherschaltung resultieren.

Bei Speicherbausteinen ist es wichtig, daß die Speicherzellen relativ schnell beschrieben und wieder ausgelesen werden können. Insbesondere bei großen Speicherblöcken würden daher die Wortleitungen WL eine große Länge annehmen, so daß beim Aktivieren der Wortleitungen WL die Umladezeiten aufgrund der Leitungskapazität erheblich wären. Aus diesem Grund werden Wortleitungen WL mit zwei oder mehreren Abschnitten vorgesehen, die jeweils mit einem eigenen Wortleitungstreiber 3 betrieben werden können wodurch sich die Zeit zum Umladen der Wortleitung WL, d.h. der einzelnen Wortleitungsabschnitte erheblich reduziert.

Dies hat zur Folge, daß mehrere Speicherbereiche SP1, SP2 vorgesehen werden, die jeweils eine Wortleitung WL aufweisen, die über die gleiche Adresse adressierbar sind. Jeder der Speicherbereiche ist mit den gleichen Spaltenauswahlleitungen CSL verbunden, so daß die Ausleseverstärker 4 in jedem der Speicherbereiche über die gleichen Spaltenauswahlleitungen aktiviert werden. Dadurch werden bei einer Speicherschaltung, deren Wortleitungen WL jeweils zwei Wortleitungsabschnitte WLA aufweisen, durch eine Spaltenauswahlleitung CSL Ausleseverstärker in beiden Speicherbereichen aktiviert, und mit jedem Auslesevorgang bzw. Einschreibvorgang 8 Bit Daten adressiert. Bei der Aktivierung von zwei Spaltenauswahlleitungen CSL zum Beschreiben oder Auslesen von Daten in die Speicherzellen hat dies zur Folge, daß 16 Bit Daten beim Auslesen bereitgestellt werden. Insbesondere bei einem 4 Bit Datenbus können jedoch nur maximal 8 Bit Daten zum Beschreiben von Daten adressiert werden. Insbesonders bei einem 4 Bit Datenbus können jedoch nur maximal 8 Bit Daten (bei Double-Data-Rate) pro Taktzyklus übertragen werden. Werden nun Daten ausgelesen, so stehen jedoch mit jedem Taktzyklus 16 Bit Daten bereit, die ausgelesen werden könnten. Von diesen 16 Bit Daten werden jedoch nur 8 Bit ausgewählt, und ausgegeben. Die übrigen 8 Bit werden verworfen.

Das Verstärken von Ladungen auf den Bitleitungen BL benötigt eine erhebliche Menge an elektrischer Energie, da mit der Ak-

tivierung einer Wortleitung eine große Anzahl von Speichertransistoren geöffnet werden, so daß die Ladung aus den Speicherkondensatoren auf die jeweiligen Bitleitungen BL fließt. Die daran angeschlossenen Ausleseverstärker verstärken diese  
5 Ladung und stellen sie an einem Ausgang des Ausleseverstärkers zur Verfügung, auch wenn sie dort nicht abgegriffen werden. Auf Grund der großen Zahl von Bitleitungen benötigt dieser Vorgang viel Energie, auch dann, wenn die an dem Ausgang des Ausleseverstärkers anstehenden Daten nicht verwendet werden.  
10

Erfindungsgemäß ist nun vorgesehen, daß die Wortleitungsabschnitte WLA voneinander getrennt angesteuert werden können, so daß jeweils nur ein oder ein Teil der Wortleitungsabschnitte WLA aktiviert wird. Es wird also Energie eingespart,  
15 indem ein Wortleitungsabschnitt WLA der normalerweise beim Adressieren einer Wortleitung WL aktiviert werden würde, nicht aktiviert wird. Dadurch wird vermieden, dass die Ausleseverstärker 4 die Potentialunterschiede auf den entsprechenden  
20 Bitleitungen verstärken müssen. Dies spart eine erhebliche Menge der Energie ein die normalerweise durch das Bereitstellen der Daten auf den Bitleitungen verbraucht wird. Dadurch wird der Stromverbrauch der integrierten Speicherschaltung reduziert, wodurch sich beispielsweise der Chip weniger stark erwärmt.  
25

In Fig. 1 ist eine solche Speicherschaltung dargestellt. Der beispielhafte Speicherbaustein weist 8.192 logische Wortleitungen auf. Diese können über Adresseingänge mit einer Adressbusbreite von 13 Bit adressiert werden. Die Auswahl der  
30 jeweiligen Wortleitung WL wird durch den Adressdekodierer 1 vorgenommen. Der Adressdekodierer 1 weist 8.192 Ausgänge auf, die mit dem jeweiligen adressierten Wortleitungen WL verbunden sind. Erfindungsgemäß ist nun jeder der Ausgänge des  
35 Adressdekodierers 1 mit einer Ansteuerschaltung 2 verbunden, die ein Steuereingang für ein Steuersignal S und zwei Ausgänge für jeweils ein Wortleitungsansteuersignal aufweist. Die

beiden Ausgänge für das Wortleitungsansteuersignal sind jeweils über einen Wortleitungstreiber 3 mit einem Wortleitungssabschnitt WLA verbunden.

5 Gesteuert durch das Steuersignal S ist nun vorgesehen, daß, sobald eine Wortleitung WL durch den Adressdekodierer 1 aktiviert werden soll, das Steuersignal S den Wortleitungsabschnitt WLA auswählt, an dem die Speicherzellen liegen, aus denen Daten ausgelesen oder in die Daten geschrieben werden  
10 sollen. Der jeweils andere Wortleitungsabschnitt wird nicht aktiviert.

Die Ansteuerschaltung kann so gestaltet sein, daß auch mehr als zwei Wortleitungsabschnitte WLA gesteuert über ein Steuersignal  
15 einzeln oder zu einem Teil aktiviert werden können.

Eine integrierte Speicherschaltung weist nur eine bestimmte Anzahl von externen Anschlüssen auf. Dazu gehören die Adress-  
eingänge die Datenein-/ausgänge und bestimmte Steuersignale.  
20 Es ist also kein weiterer Anschluß vorgesehen, mit dem es möglich ist, die einzelnen Wortleitungsabschnitte zu adressieren, d.h. zu entscheiden, welcher der Wortleitungsabschnitte WLA jeweils aktiviert und welcher deaktiviert bleiben soll. Dazu ist vorgesehen, daß ein Steueranschluß, der  
25 während des Adressierens von Speicherzellen nicht benötigt wird, dazu verwendet wird, die Wortleitungsabschnitte WLA auszuwählen.

Dies kann mit Hilfe des DM-Anschlusses durchgeführt werden.  
30 Der DM-Anschluß (Data Mask) eines Speicherbausteins dient dazu, dass ein bereits begonnener Auslesevorgang nicht zu Ende geführt wird, indem die auszulesenden Daten maskiert, d.h. nicht auf den Datenbuss angelegt werden. Der DM-Anschluß wird normalerweise nur bei einem Spaltenzugriff verwendet, um  
35 einzelne Daten zu maskieren. Selbstverständlich ist es auch möglich, andere Steueranschlüsse zur Auswahl des jeweiligen Wortleitungsabschnittes WLA zu verwenden. Es muß sich ledig-

lich um einen Steueranschluß handeln, der während des Aktivierens der Wortleitung bis zum Zeitpunkt des Deaktivierens der Wortleitung WL im wesentlichen nicht verwendet wird.

- 5 Die erfindungsgemäße Vorrichtung bzw. das erfindungsgemäße Verfahren lassen sich immer dann anwenden, wenn mit einem Speicherzugriff mehr Daten bereitgestellt werden, als in der gleichen Zeit geschrieben oder ausgelesen werden können oder sollen. Es bietet ferner die Möglichkeit, einen Low-Power-  
10 Speicherbaustein zur Verfügung zu stellen, da eine erhebliche Leistungseinsparung beim Betrieb des Speicherbausteins erreicht wird, indem vermieden wird, daß zu viele Ausleseverstärker die Bitleitungspotentiale verstärken, obwohl die Daten nicht benötigt werden.

15

20

## Patentansprüche

1. Verfahren zum Schreiben und Auslesen von Daten aus einer dynamischen Speicherschaltung, wobei die Speicherschaltung über Wortleitungen (WL) und Bitleitungen (BL) adressierbare Speicherzellen aufweist,  
5 wobei eine Wortleitung (WL) bei einem Adressieren eines Speicherbereiches (SP1, SP2) mit einer bestimmten Adresse aktiviert wird,  
10 wobei eine Wortleitung (WL) mehrere voneinander getrennte Wortleitungsabschnitte (WLA) aufweist,  
wobei über die Bitleitungen (BL) bei einer Adressierung mit der bestimmten Adresse parallel eine Anzahl von Daten in  
durch die Adresse adressierte Speicherzellen schreibbar oder  
15 Daten aus durch die Adresse adressierte Speicherzellen auslesbar sind,  
dadurch gekennzeichnet, dass  
nur ein Teil der Wortleitungsabschnitte (WLA) bei einem Adressieren mit einer bestimmten Adresse aktiviert werden, um  
20 nur einen Teil der durch die Wortleitung (WL) adressierten Speicherzellen parallel zu beschreiben oder parallel auszulesen.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass  
25 das Aktivieren nur eines Teils der Wortleitungen (WL) durchgeführt wird, wenn gleichzeitig nur eine zweite Anzahl von Daten, die kleiner ist als die erste Anzahl von Daten, in die durch die Adresse adressierten Speicherzellen geschrieben oder aus den durch die Adresse adressierten Speicherzellen  
30 ausgelesen werden sollen.
3. Verfahren nach Anspruch 1 oder 2, wobei beim Adressieren einer Wortleitung (WL) mit einer Adresse 8 Bit Daten parallel einzuschreiben oder parallel auszulesen sind.  
35
4. Verfahren nach Anspruch 1 bis 3, dadurch gekennzeichnet, dass die Daten bei einer steigenden und einer fallenden

Flanke in die Speicherzellen geschrieben oder aus den Speicherzellen gelesen werden.

5. Schaltung zum Beschreiben oder Auslesen von Daten aus einer dynamischen integrierten Speicherschaltung, wobei die Speicherschaltung über Wortleitungen (WL) und Bitleitungen (BL) adressierbare Speicherzellen aufweist, wobei eine Wortleitung (WL) bei einem Adressieren mit einer bestimmten Adresse aktiviert wird, wobei eine Wortleitung mehrere voneinander getrennte Wortleitungsabschnitte (WLA) aufweist, wobei über die Bitleitungen (BL) bei einer Adressierung mit der bestimmten Adresse parallel eine erste Anzahl von Daten in durch die Adresse adressierte Speicherzellen schreibbar oder Daten aus durch die Adresse adressierte Speicherzellen auslesbar sind, , dadurch gekennzeichnet, dass eine Ansteuerschaltung (2) vorgesehen ist, um bei einem Adressieren mit einer bestimmten Adresse nur einen Teil der Wortleitungsabschnitte (WLA) zu aktivieren, so dass nur einen Teil der mit der Wortleitung (WL) verbundenen Speicherzellen parallel beschrieben oder parallel ausgelesen werden kann.

6. Schaltung nach Anspruch 6, dadurch gekennzeichnet, dass die Ansteuerschaltung (2) abhängig von einem Steuersignal (S) nur eine Teil der Wortleitungsabschnitte (WLA) oder alle Wortleitungsabschnitte einer Wortleitung (WL) aktiviert.

7. Schaltung nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass das Steuersignal (S) an einen externen Anschluß der integrierten Speicherschaltung anlegbar ist, wobei der externe Anschluß ein Steueranschluß der integrierten Speicherschaltung ist.

8. Schaltung nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass eine Wortleitung (WL) zwei Wortleitungsabschnitte (WLA) aufweist

9. Verwendung eines Steueranschlusses einer integrierten Speicherschaltung, um abhängig von einem an dem Steueranschluß angelegten Steuersignal (S) die Durchführung des Verfahrens nach einem der Ansprüche 1 bis 4 zu aktivieren.

5

10. Verwendung des Steueranschlusses nach Anspruch 9, wobei der Steueranschluß kein Adress-Anschluss oder Datenanschluss ist.

10



## Zusammenfassung

Schaltung und Verfahren zum Schreiben und Auslesen von Daten aus einer dynamischen Speicherschaltung

5

10

15

20

Es ist ein Verfahren zum Schreiben und Auslesen von Daten aus einer dynamischen Speicherschaltung vorgesehen. Die Speicherschaltung weist über Wortleitungen (WL) und Bitleitungen (BL) adressierbare Speicherzellen auf. Eine Wortleitung (WL) wird beim Adressieren eines Speicherbereiches (SP1, SP2) mit einer bestimmten Adresse aktiviert. Eine Wortleitung (WL) weist mehrere voneinander getrennte Wortleitungsabschnitte (WLA) auf. Über die Bitleitungen sind bei einer Adressierung mit der bestimmten Adresse parallel eine erste Anzahl von Daten in durch die Adresse adressierte Speicherzellen schreibbar oder die erste Anzahl von Daten aus durch die Adresse adressierte Speicherzellen auslesbar. Bei einem Adressieren mit einer bestimmten Adresse werden nur ein Teil der Wortleitungsabschnitte (WLA) aktiviert, um nur einen Teil der mit der Wortleitung (WL) verbundenen Speicherzellen parallel zu beschreiben oder parallel auszulesen.

25

Fig. 1

# Figur für die Zusammenfassung

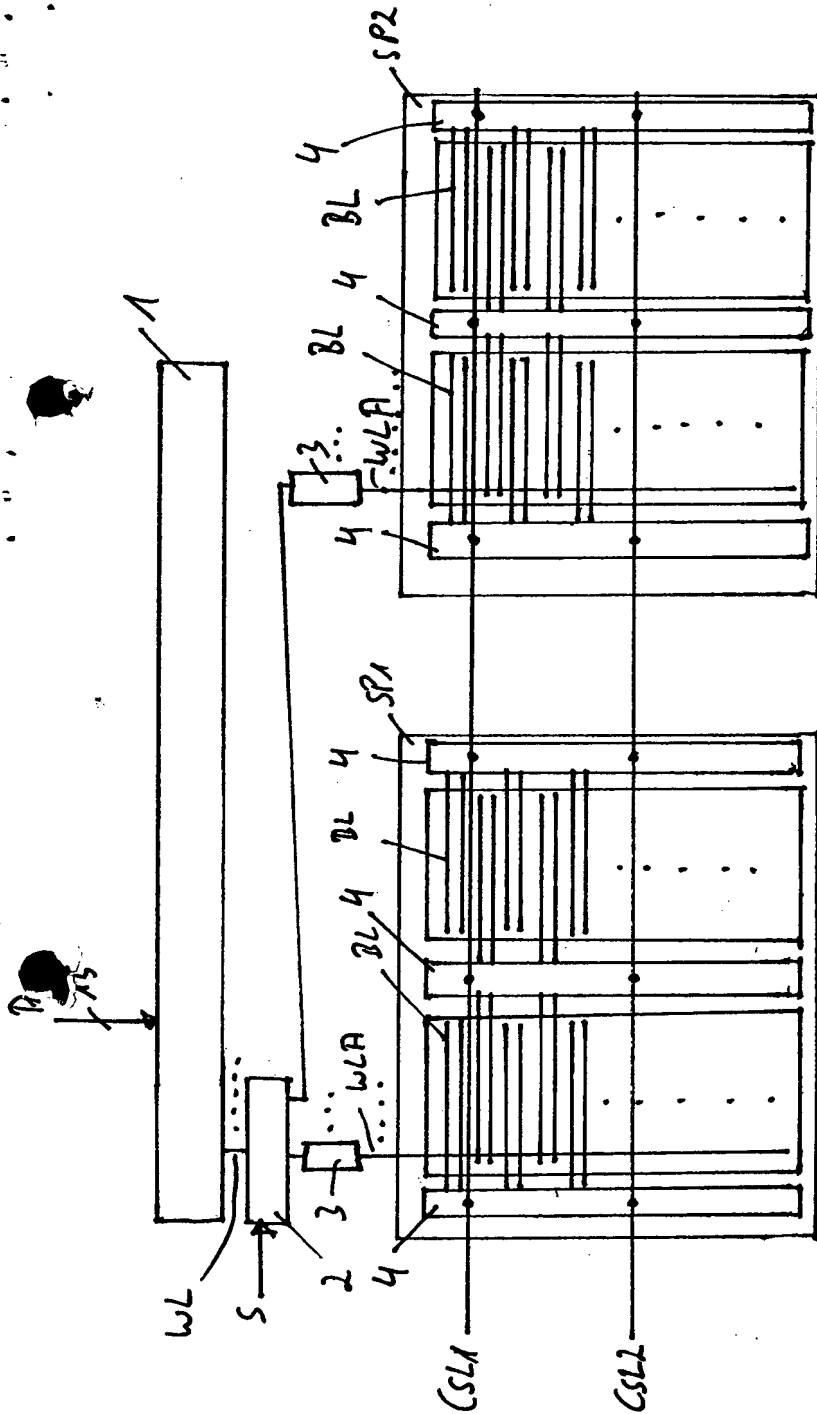


Fig. 1

## Bezugszeichenliste

	1	Adressdekodierer
	2	Ansteuerschaltung
5	3	Wortleitungstreiber
	4	Ausleseverstärker
	WL	Wortleitung
	WLA	Wortleitungsabschnitt
	BL	Bitleitung
10	CSL	Spaltenauswahlleitung
	S	Steuersignal
	A	Adresssignale
	SP1, SP2	Speicherbereich

1/1

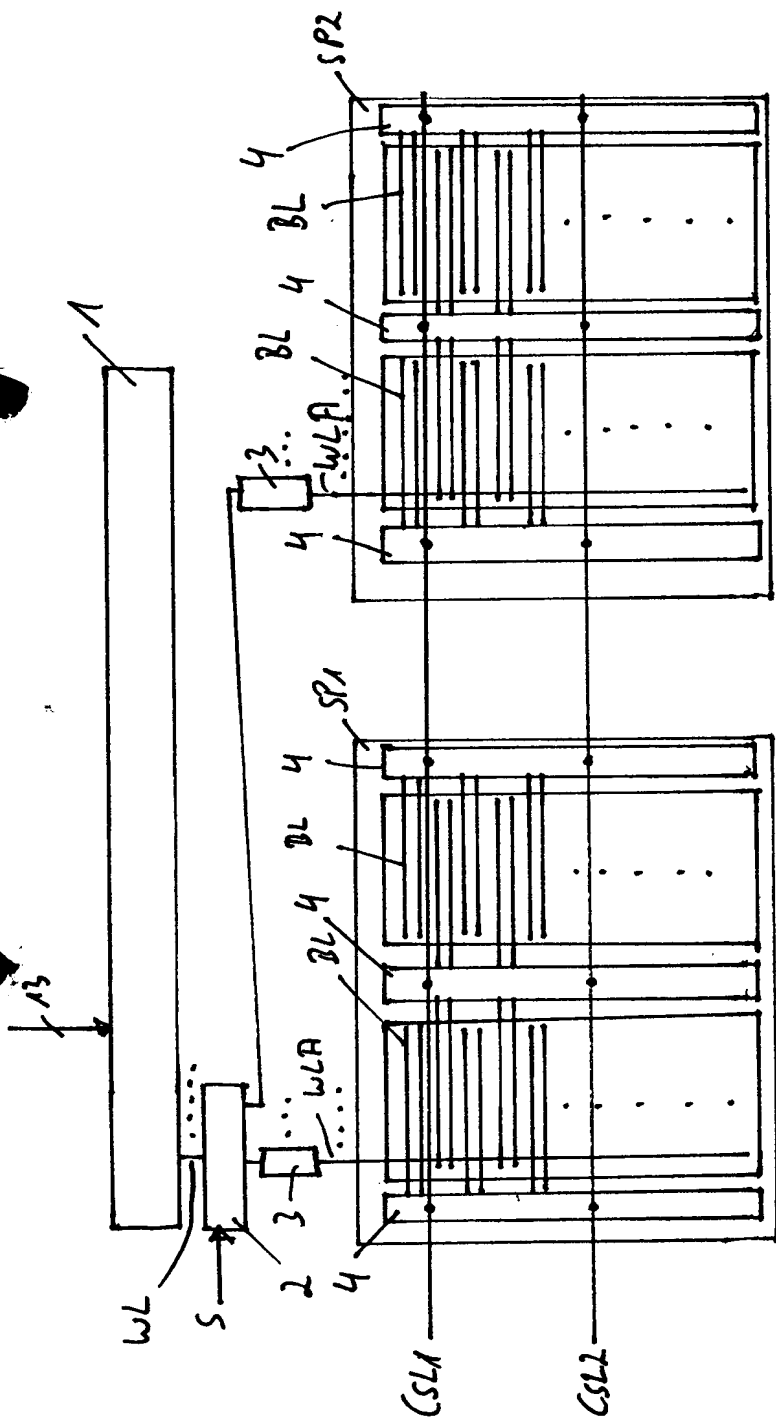


Fig. 1